

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JP932 U.S. PRO  
09/671117  
09/28/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 1 9 9 9 年 1 1 月 1 日

出 願 番 号  
Application Number: 平成 1 1 年 特 許 願 第 3 1 1 4 5 5 号

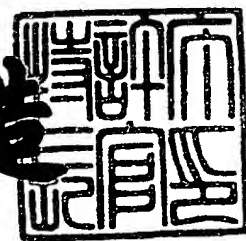
出 願 人  
Applicant (s): 富士通株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 0 年 7 月 2 8 日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 0 5 9 5 6 2

【書類名】 特許願

【整理番号】 9940550

【提出日】 平成11年11月 1日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G06F 12/12

【発明の名称】 キャッシュメモリの制御方法及びその方法を実現する計算機

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 上方 輝彦

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 須賀 敦浩

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 三宅 英雄

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【郵便番号】 150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 キャッシュメモリの制御方法及びその方法を実現する計算機

【特許請求の範囲】

【請求項 1】 キャッシュブロックから構成されるキャッシュメモリの制御方法であって、

指定されたアドレス領域に含まれるアドレスを持つデータを記憶している前記キャッシュブロックを、供給される命令に応じて別アドレスデータへの置換禁止状態とし、または前記禁止状態を解除することを特徴とするキャッシュメモリの制御方法。

【請求項 2】 キャッシュブロックから構成されたキャッシュメモリを含む計算機であって、

指定されたアドレス領域に含まれるアドレスを持つデータを記憶している前記キャッシュブロックを、供給される命令に応じて別アドレスデータへの置換禁止状態とし、または前記禁止状態を解除する制御部を備えたことを特徴とする計算機。

【請求項 3】 メインメモリに接続されると共にキャッシュブロックから構成されたキャッシュメモリを含む計算機であって、

指定されたアドレス領域に含まれるアドレスを持つと共に前記メインメモリに記憶されたデータを、供給される命令に応じて前記キャッシュブロックにロードする制御部を備えたことを特徴とする計算機。

【請求項 4】 メインメモリに接続されると共にキャッシュブロックから構成されたキャッシュメモリを含む計算機であって、

指定されたアドレス領域に含まれるアドレスを持つと共に前記キャッシュブロックに記憶されたデータを、供給される命令に応じて前記メインメモリにストアする制御部を備えたことを特徴とする計算機。

【請求項 5】 メインメモリに接続されると共にキャッシュブロックから構成されるキャッシュメモリを含む計算機であって、

指定されたアドレス領域に含まれるアドレスを持つと共に、前記キャッシュブロックに記憶されているデータを、供給される命令に応じて前記メインメモリに

複写する制御部を備えたことを特徴とする計算機。

【請求項 6】 キャッシュブロックから構成されるキャッシュメモリを含む計算機であって、

指定されたアドレス領域に含まれるアドレスを持つデータを記憶している前記キャッシュブロックを、供給される命令に応じて一律に無効化する制御部を備えたことを特徴とする計算機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、計算機とその制御方法に関し、さらに詳しくはキャッシュメモリの制御方法及び該方法を実現する計算機に関するものである。

【0002】

【従来の技術】

従来におけるキャッシュメモリを備えた計算機においては、該キャッシュメモリの制御の一部がソフトウェアによりなされないため、キャッシュメモリに記憶されたデータはメインメモリに書き戻す必要がない場合においても書き戻されることがあり、メインメモリに対するデータの読み書きの効率を悪化させていた。

【0003】

また、キャッシュメモリに前もって情報をロードするプリロードを、一キャッシュブロック単位で行うよう命令するフェッチ命令を実行するキャッシュメモリの制御方法は従来において実現されているが、このような制御方法では、フェッチした（メインメモリから読み出した）情報が実際に必要になるまで、キャッシュメモリ上に記憶されていることを保証できなかった。

【0004】

また、キャッシュメモリの制御において、ある一つのアドレスを格納するキャッシュブロックを見出し、そのキャッシュブロックに記憶されたデータをメインメモリに複写する（このような動作を「フラッシュ」という。）と共に、同一アドレスの旧データを無効化する方法は従来において実現されているが、連続したアドレス領域の情報を記憶する複数のキャッシュブロックを、選択的にフラッシ

ユし、無効化する制御方法は考えられておらず、動作の効率をより向上させる必要があった。

【0005】

【発明が解決しようとする課題】

本発明は、上述の点に鑑みてなされたものであり、指定されたアドレス領域に含まれるアドレスを持つデータを、ソフトウェアに含まれる命令によりまとめて処理するキャッシュメモリの制御方法と、該方法を実現することにより動作の効率化及び高速化を実現し得る計算機を提供することを目的とする。

【0006】

【課題を解決するための手段】

上記の目的は、キャッシュブロックから構成されるキャッシュメモリの制御方法であって、指定されたアドレス領域に含まれるアドレスを持つデータを記憶しているキャッシュブロックを、供給される命令に応じて別アドレスデータへの置換禁止状態とし、または禁止状態を解除することを特徴とするキャッシュメモリの制御方法を提供することにより達成される。このような手段によれば、上記指定されたアドレス領域に含まれるアドレスを持つデータへのキャッシュミスを実際に回避して、キャッシュヒットを保証することができる。

【0007】

また、本発明の目的は、キャッシュブロックから構成されたキャッシュメモリを含む計算機であって、指定されたアドレス領域に含まれるアドレスを持つデータを記憶しているキャッシュブロックを、供給される命令に応じて別アドレスデータへの置換禁止状態とし、または該禁止状態を解除する制御部を備えたことを特徴とする計算機を提供することにより達成される。このような手段によれば、上記指定されたアドレス領域に含まれるアドレスを持つデータへのキャッシュミスを実際に回避して、キャッシュヒットを保証することができる。

【0008】

また、本発明の目的は、メインメモリに接続されると共にキャッシュブロックから構成されたキャッシュメモリを含む計算機であって、指定されたアドレス領域に含まれるアドレスを持つと共にメインメモリに記憶されたデータを、供給さ

れる命令に応じてキャッシュブロックにロードする制御部を備えたことを特徴とする計算機を提供することにより達成される。

【0009】

また、本発明の目的は、メインメモリに接続されると共にキャッシュブロックから構成されたキャッシュメモリを含む計算機であって、指定されたアドレス領域に含まれるアドレスを持つと共にキャッシュブロックに記憶されたデータを、供給される命令に応じてメインメモリにストアする制御部を備えたことを特徴とする計算機を提供することにより達成される。

【0010】

また、本発明の目的は、メインメモリに接続されると共にキャッシュブロックから構成されるキャッシュメモリを含む計算機であって、指定されたアドレス領域に含まれるアドレスを持つと共に、キャッシュブロックに記憶されているデータを、供給される命令に応じてメインメモリに複写する制御部を備えたことを特徴とする計算機を提供することにより達成される。

【0011】

また、本発明の目的は、キャッシュブロックから構成されるキャッシュメモリを含む計算機であって、指定されたアドレス領域に含まれるアドレスを持つデータを記憶しているキャッシュブロックを、供給される命令に応じて一律に無効化する制御部を備えたことを特徴とする計算機を提供することにより達成される。

【0012】

【発明の実施の形態】

以下において、本発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

図1は、本発明の実施の形態に係る計算機の全体構成を示す図である。図1に示されるように、この計算機はCPU1と、キャッシュ部3と、バス制御装置5と、メインメモリ7と、周辺システム9とを備える。そして、CPU1はフェッチ部11と実行部13とを含む。また、キャッシュ部3はキャッシュメモリ10と、キャッシュウェイ15、17と、アドレスレジスタ19、21と、データレジスタ23、25、27、29と、キャッシュ制御部30とを含む。

## 【 0 0 1 3 】

ここで、CPU 1 は算術演算や論理演算等を行う。また、キャッシュ部 3 は CPU 1 とバス制御装置 5 及び周辺システム 9 との間に接続され、メインメモリ 7 又は周辺システム 9 の情報を一時的に記憶する。また、キャッシュ制御部 3 0 は CPU 1 に含まれた実行部 1 3 に接続され、CPU 1 または周辺システム 9 等からの要求に応じてキャッシュメモリ 1 0 等を制御する。

## 【 0 0 1 4 】

また、バス制御装置 5 はメインメモリ 7 との間に設けられたメモリデータバス及びアドレスバスの制御を行うと共に、周辺システム 9 との間のデータ転送を制御する。そしてバス制御装置 5 に接続されたメインメモリ 7 は、命令又はデータを保持する。一方、キャッシュメモリ 1 0 は二つのキャッシュウェイ 1 5, 1 7 からなり、各キャッシュウェイ 1 5, 1 7 はキャッシュブロック B 1 ~ B 8 に分割される。ここで図 1 に示されるように、それぞれのキャッシュブロック B 1 ~ B 8 は有効フラグ V と、タグ TAG と、ロックフラグ L と、キャッシュブロックデータ DATA とを含み、ライトバック形式のキャッシュメモリ 1 0 においてはさらに変更フラグ M が含まれる。

## 【 0 0 1 5 】

ここで、有効フラグ V は、0 の値が設定されたとき（リセットされたとき）に該キャッシュブロックが無効であり、1 の値が設定されたとき（セットされたとき）にキャッシュブロックが有効であることを示すものである。なお、無効とされた該キャッシュブロックへ格納されたデータは無いものと扱われる。また、タグ TAG はキャッシュブロックデータ DATA のアドレスを保持する。また、ロックフラグ L は、0 の値が設定されたときに該キャッシュブロックがタグ TAG のアドレスの置換を許可する状態であり、1 の値が設定されたときにアドレスの置換が禁止される状態であることを示す。また変更フラグ M は、0 の値が設定されているときに該キャッシュブロックは未置換（未変更）であり、1 の値が設定されているときに該キャッシュブロックのデータ DATA が更新値に変更済みであることをそれぞれ意味するものである。

## 【 0 0 1 6 】



なお、一般的にキャッシュメモリの書き込み制御には、キャッシュメモリとメインメモリとを同時に更新する「ライトスルー」形式と、一旦キャッシュメモリだけを更新し、キャッシュメモリの一部を置換する際にメインメモリへ追い出されるデータによってメインメモリを更新する「ライトバック」形式とがある。

以上のような構成を有する本実施の形態に係る計算機は、キャッシュメモリ 1 0 又はメインメモリ 7 に書き込まれているロード命令、ストア命令、ロック命令、アンロック命令、プリロード命令、ポストストア命令、フラッシュ命令、無効化命令などを読み出し、指定されたアドレス領域に含まれるアドレスを持つデータを、該命令に応じたキャッシュ制御部 3 0 による制御によりまとめて処理するため、動作の効率化及び高速化を実現する。

#### 【0 0 1 7】

以下において、より具体的に説明する。図 2 は、図 1 に示されたキャッシュ制御部 3 0 の構成及び該キャッシュ制御部 3 0 とキャッシュメモリ 1 0 との接続関係を示す図である。図 2 に示されるように、キャッシュ制御部 3 0 はロード制御部 3 1 と、ストア制御部 3 2 と、プリロード制御部 3 3 と、ポストストア制御部 3 4 と、フラッシュ制御部 3 5 と、無効化制御部 3 6 と、ロック／アンロック制御部 3 7 と、デコード部 3 8 と、アドレス領域制御部 4 0 と、アドレスレジスタ 4 5 と、サイズレジスタ 4 7 とを備える。そして、アドレス領域制御部 4 0 は、キャッシュブロックサイズ規定部 4 1 と、比較器 4 2 と、加算部 4 3 と、減算部 4 4 とを含む。

#### 【0 0 1 8】

なお図 2 においては、図 1 においては省略されているが、キャッシュメモリ 1 0 に含まれると共にアドレスレジスタ 4 5 から供給されたアドレスとタグ TAG に格納されているアドレスとを比較する比較器 1 2 が示される。

ここで、デコード部 3 8 は実行部 1 3 に接続され、ロード制御部 3 1 とストア制御部 3 2、プリロード制御部 3 3、ポストストア制御部 3 4、フラッシュ制御部 3 5、無効化制御部 3 6 及びロック／アンロック制御部 3 7 はそれぞれデコード部 3 8 に接続される。また、アドレス領域制御部 4 0 は実行部 1 3 に接続され、処理するデータのアドレスを管理する。以下において、キャッシュ制御部 3 0

における従来のキャッシュ制御部に対する構成上の相違点について説明する

図 3 は従来のキャッシュ制御部の構成を示す図である。図 3 に示されるように、従来のキャッシュ制御部 5 0 はロード制御部 5 1 と、ストア制御部 5 2 と、プリロード制御部 5 3 と、フラッシュ制御部 5 5 と、無効化制御部 5 6 と、ロック／アンロック制御部 5 7 と、デコード部 5 8 と、アドレスレジスタ 5 9 とを備える。従って、本実施の形態に係るキャッシュ制御部 3 0 は、従来のキャッシュ制御部 5 0 と比較してアドレス領域制御部 4 0 及びサイズレジスタ 4 7 と、ポストアストア制御部 3 4 とをさらに備える点で相違するものである。

【 0 0 1 9 】

以下において、本実施の形態に係る計算機の動作について説明する。

まずフェッチ部 1 1 は、アドレスレジスタ 1 9 を通して所望の命令（コード）に対するアドレスをキャッシュメモリ 1 0 に供給し、命令フェッチ要求を行う。ここで、キャッシュメモリ 1 0 に該アドレスの命令が格納されているキャッシュヒット時には、キャッシュメモリ 1 0 から該命令が読み出され、データレジスタ 2 3 を介してフェッチ部 1 1 に供給される。ただし、キャッシュメモリ 1 0 に該アドレスの命令が格納されていないキャッシュミス時には、アドレスレジスタ 2 1 を介して供給されるアドレスに応じて該命令がメインメモリ 7 から読み出される。そして、メインメモリ 7 から読み出された命令は、データレジスタ 2 5, 2 3 を介してフェッチ部 1 1 に供給される。

【 0 0 2 0 】

次に、フェッチ部 1 1 はキャッシュメモリ 1 0 又はメインメモリ 7 から読み出した命令を実行部 1 3 に供給し、実行部 1 3 は供給された命令を実行する。そして、以下の動作は該命令の種類により異なるため、各命令による動作について順次説明する。

（ロック／アンロック命令について）

ロック／アンロック命令が実行部 1 3 で実行された場合には、キャッシュ制御部 3 0 に含まれるアドレス領域制御部 4 0 へロック又はアンロックの対象とする先頭アドレスと、ロック又はアンロックの対象とするアドレス領域のサイズが供給される。そして、この先頭アドレスはアドレスレジスタ 4 5 を介して比較器 1

2 に供給されるが、先頭アドレスは加算部 4 3 においてキャッシュブロックサイズ規定部 4 1 が規定する 1 キャッシュブロック分のアドレスに順次加算される。従って、比較器 1 2 は、ロック又はアンロックの対象とするアドレスを 1 キャッシュブロック毎にスキャンし、順次タグ TAG に格納されたアドレスと比較する。

#### 【 0 0 2 1 】

一方、ロック又はアンロックの対象とするアドレス領域のサイズは、サイズレジスタ 4 7 及び比較器 4 2 を介してロック／アンロック制御部 3 7 へ供給され、所定のアドレス領域をスキャンするときにおいてのみ、ロック／アンロック制御部 3 7 が活性化される。なお、サイズレジスタ 4 7 から出力されたアドレス領域のサイズは、上記 1 キャッシュブロックのスキャン毎に、1 キャッシュブロックのサイズに応じて順次減算部 4 4 で減算される。そして、ロックまたはアンロックするアドレス領域がまだ残っていると比較器 4 2 で判断される場合に、ロック／アンロック制御部 3 7 が活性化される。なお、ロックまたはアンロックするアドレス領域の上記スキャンが全て終了したと比較器 4 2 で判断された場合には、比較器 4 2 は完了信号を実行部 1 3 に供給する。

#### 【 0 0 2 2 】

このようにして、比較器 1 2 における比較の結果、ロック又はアンロックの対象とするアドレスとタグ TAG に格納されたアドレスとが一致（キャッシュヒット）した場合には、キャッシュヒットしたことを通知する信号がロック／アンロック制御部 3 7 へ供給される。これにより、ロック／アンロック制御部 3 7 は該信号に応じてキャッシュヒットしたキャッシュブロックをロック又はアンロックするため、該当するロックフラグ L にロックする場合には 1 を、アンロックする場合には 0 をそれぞれ設定する。

#### 【 0 0 2 3 】

以上のような動作により設定されたロックフラグ L の値は、ロード制御部 3 1 とストア制御部 3 2、プリロード制御部 3 3、ポストアストア制御部 3 4、フラッシュ制御部 3 5、無効化制御部 3 6 及びロック／アンロック制御部 3 7 にそれぞれ供給され、ロックフラグ L の値が 0 である場合には該キャッシュブロックが別

アドレスデータへの置換可能状態とされ、1である場合には該キャッシュブロックが別アドレスデータへの置換禁止状態とされる。

#### 【0024】

従って、このようなロック／アンロック命令を実行することにより、キャッシュメモリ10に格納された所定のキャッシュブロックデータDATAについてキャッシュヒットを保証でき、全体としてのキャッシュヒット率を向上させることができる。また、指定したアドレス領域に含まれるアドレスに対応して所定のキャッシュブロックを一括してロック又はアンロックするため、実行すべき命令の数を減少させ動作の効率を高めることができる。

#### 【0025】

なお、図4はロック／アンロック命令の命令形式を示す図である。図4に示されるように、ロック／アンロック命令は、ロック命令またはアンロック命令が規定される命令コードOP-CODE と、アドレスを指定するアドレス指定フィールドAD と、アドレス領域のサイズを指定する領域サイズ指定フィールドSIZEとを含む。そして、このような命令形式は以下の命令においても採用される。

#### (ロード命令について)

ロード命令が実行部13で実行された場合には、キャッシュ制御部30に含まれるロード制御部31へロードの対象とする先頭アドレスと、ロード対象とするアドレス領域のサイズが供給される。そして、この先頭アドレスはアドレスレジスタ45を介して比較器12に供給されるが、先頭アドレスは加算部43においてキャッシュブロックサイズ規定部41が規定する1キャッシュブロック分のアドレスに順次加算される。従って、比較器12は、ロード対象とするアドレスを1キャッシュブロック毎にスキャンし、順次タグTAGに格納されたアドレスと比較する。

#### 【0026】

一方、ロード対象とするアドレス領域のサイズは、サイズレジスタ47及び比較器42を介してロード制御部31へ供給され、所定のアドレス領域をスキャンするときにおいてのみ、ロード制御部31が活性化される。なお、サイズレジスタ47から出力されたアドレス領域のサイズは、上記1キャッシュブロックの

キャン毎に該 1 キャッシュブロック分のサイズに応じて順次減算部 4 4 で減算される。そして、ロードするアドレス領域がまだ残っていると比較器 4 2 で判断される場合に、ロード制御部 3 1 が活性化される。なお、ロードするアドレス領域の上記スキャンが全て終了したと比較器 4 2 で判断された場合には、比較器 4 2 は完了信号を実行部 1 3 に供給する。

#### 【 0 0 2 7 】

このようにして、比較器 1 2 における比較の結果、ロード対象とするアドレスとタグ T A G に格納されたアドレスとが一致（キャッシュヒット）した場合には、キャッシュヒットしたことを通知する信号がロード制御部 3 1 へ供給される。これにより、ロード制御部 3 1 は該信号に応じて、キャッシュヒットしたキャッシュブロックに格納されているキャッシュブロックデータ D A T A を C P U 1 へ転送する。一方、ロード対象とするアドレスについて、いずれのキャッシュブロックにおいてもキャッシュヒットが得られない場合には、ロード制御部 3 1 はバス制御装置 5 を介してメインメモリ 7 から該アドレスを有するデータを読み出し、C P U 1 へ転送すると共に少なくとも一つのキャッシュブロック B 1 ~ B 8 に書き込む。

#### 【 0 0 2 8 】

従って、このような複数レジスタロード命令を実行することにより、指定したアドレス領域に含まれるアドレスに対応したデータをキャッシュブロックやメインメモリ 7 から一括してロードすることができるため、実行すべき命令の数を減少させ動作の効率を高めることができる。

なお、ロード命令には単一レジスタロード命令と複数レジスタロード命令とがある。ここで単一レジスタロード命令は、指定したアドレス領域における規定サイズのデータを、指定する一つのレジスタに読み込むための命令である。一方、複数レジスタロード命令は、指定したアドレス領域における指定サイズのデータを、規定された複数のレジスタに読み込むための命令である。

#### 【 0 0 2 9 】

そして、上記単一レジスタロード命令の命令形式は、図 7 に示される。すなわち図 7 に示されるように、単一レジスタロード命令の命令形式は、単一レジスタ

へのロードが規定される命令コードOP-CODE と、アドレスを指定するアドレス指定フィールドADと、読み出したデータを格納するレジスタを指定するレジスタ指定フィールドREG とを含む。

#### 【0030】

一方、複数レジスタロード命令の命令形式は、図4に示されるロック／アンロック命令の命令形式と同様である。すなわち複数レジスタロード命令は、複数のレジスタへのロード命令が規定される命令コードOP-CODE と、アドレスを指定するアドレス指定フィールドADと、アドレス領域のサイズを指定する領域サイズ指定フィールドSIZEとを含む。

#### (ストア命令について)

ストア命令が実行部13で実行された場合には、キャッシュ制御部30に含まれるストア制御部32へストア対象とする先頭アドレスと、ストア対象とするアドレス領域のサイズが供給される。そして、この先頭アドレスはアドレスレジスタ45を介して比較器12に供給されるが、先頭アドレスは加算部43においてキャッシュブロックサイズ規定部41が規定する1キャッシュブロック分のアドレスへ順次加算される。従って、比較器12は、ストア対象とするアドレスを1キャッシュブロック毎にスキャンし、順次タグTAGに格納されたアドレスと比較する。

#### 【0031】

一方、ストア対象とするアドレス領域のサイズは、サイズレジスタ47及び比較器42を介してストア制御部32へ供給され、所定のアドレス領域をスキャンするときにおいてのみ、ストア制御部32が活性化される。なお、サイズレジスタ47から出力されたアドレス領域のサイズは、上記1キャッシュブロックのスキャン毎に、1キャッシュブロック分のサイズに応じて順次減算部44で減算される。そして、ストアするアドレス領域がまだ残っていると比較器42で判断される場合に、ストア制御部32が活性化される。なお、ストアするアドレス領域の上記スキャンが全て終了したと比較器42で判断された場合には、比較器42は完了信号を実行部13に供給する。

#### 【0032】

このようにして、比較器 1 2 における比較の結果、ストア対象とするアドレスとタグ TAG に格納されたアドレスとが一致（キャッシュヒット）した場合には、キャッシュヒットしたことを通知する信号がストア制御部 3 2 へ供給される。これによりストア制御部 3 2 は、キャッシュメモリ 1 0 がライトスルー動作の場合には、実行部 1 3 から供給された書込データをメインメモリ 7 に書き込むと共に、上記キャッシュヒットしたことを通知する信号に応じて、キャッシュヒットしたキャッシュブロックのデータを更新する。一方、キャッシュメモリ 1 0 がライトバック動作の場合には上記キャッシュヒットしたことを通知する信号に応じて、キャッシュヒットしたキャッシュブロックのデータのみを更新する。

#### 【0033】

従って、このような複数レジスタストア命令を実行することにより、指定したアドレス領域に含まれるアドレスに対応した書込データをキャッシュブロックやメインメモリ 7 へ一括してストアすることができるため、実行すべき命令の数を減少させ動作の効率を高めることができる。

なお、ストア命令には単一レジスタストア命令と複数レジスタストア命令とがある。ここで単一レジスタストア命令は、指定する一つのレジスタから規定サイズのデータを、指定したアドレス領域へ書き込むための命令である。一方、複数レジスタストア命令は、規定の複数のレジスタから指定するサイズのデータを、指定したアドレス領域へ書き込むための命令である。

#### 【0034】

そして、上記単一レジスタストア命令の命令形式は、図 7 に示される。すなわち図 7 に示されるように、単一レジスタストア命令の命令形式は、一つのレジスタからのストアが規定される命令コード OP-CODE と、アドレスを指定するアドレス指定フィールド AD と、書き込むデータが格納されているレジスタを指定するレジスタ指定フィールド REG とを含む。

#### 【0035】

一方、複数レジスタストア命令の命令形式は、図 4 に示されるロック／アンロック命令の命令形式と同様である。すなわち複数レジスタストア命令は、複数のレジスタからのストア命令が規定される命令コード OP-CODE と、アドレスを指定

するアドレス指定フィールドADと、アドレス領域のサイズを指定する領域サイズ指定フィールドSIZEとを含む。

(プリロード命令について)

プリロード命令が実行部 1 3 で実行された場合には、キャッシュ制御部 3 0 に含まれるプリロード制御部 3 3 へプリロードの対象とする先頭アドレスと、プリロードの対象とするアドレス領域のサイズが供給される。そして、この先頭アドレスはアドレスレジスタ 4 5 を介して比較器 1 2 に供給されるが、先頭アドレスは加算部 4 3 においてキャッシュブロックサイズ規定部 4 1 が規定する 1 キャッシュブロックのアドレスへ順次加算される。従って、比較器 1 2 は、ロード対象とするアドレスを 1 キャッシュブロック毎にスキャンし、順次タグ TAG に格納されたアドレスと比較する。

【0 0 3 6】

一方、プリロードの対象とするアドレス領域のサイズは、サイズレジスタ 4 7 及び比較器 4 2 を介してプリロード制御部 3 3 へ供給され、所定のアドレス領域をスキャンするときにおいてのみ、プリロード制御部 3 3 が活性化される。なお、サイズレジスタ 4 7 から出力されたアドレス領域のサイズは、上記 1 キャッシュブロックのスキャン毎に、1 キャッシュブロックのサイズに応じて順次減算部 4 4 で減算される。そして、プリロードするアドレス領域がまだ残っていると比較器 4 2 で判断される場合に、プリロード制御部 3 3 が活性化される。なお、プリロードするアドレス領域の上記スキャンが全て終了したと比較器 4 2 で判断された場合には、比較器 4 2 は完了信号を実行部 1 3 に供給する。

【0 0 3 7】

このようにして、比較器 1 2 における比較の結果、プリロードの対象とするアドレスとタグ TAG に格納されたアドレスとが一致（キャッシュヒット）した場合にはキャッシュヒットしたことを通知する信号が、一致しない場合（キャッシュミス）にはキャッシュミスであることを通知する信号が、それぞれプリロード制御部 3 3 へ供給される。これにより、プリロード制御部 3 3 はプリロードの対象とするアドレスについて、いずれのキャッシュブロックにおいてもキャッシュミスである場合には、バス制御装置 5 を介してメインメモリ 7 から該アドレスを



有するデータを読み出して少なくとも一つのキャッシュブロック B 1 ~ B 8 に書き込み、該キャッシュブロックの有効フラグ V を 1 にする。

【 0 0 3 8 】

従って、このようなプリロード命令を実行することにより、指定したアドレス領域に含まれるアドレスに対応したデータをメインメモリ 7 からキャッシュメモリ 1 0 へ一括してプリロードすることができるため、実行すべき命令の数を減少させ動作の効率を高めることができる。

なお、上記プリロード命令は、上記ロック命令の動作を伴ってもよい。そしてこのとき、プリロードの対象とするデータがキャッシュメモリ 1 0 内のいずれかのキャッシュブロックに格納されている場合には、該キャッシュブロックのロックフラグ L を 1 にする（ロックする）。一方、プリロードの対象とするデータがキャッシュメモリ 1 0 内に格納されていない場合には、該データをいずれかのキャッシュブロックに格納し、該キャッシュブロックの有効フラグ V を 1 にし、かつ、ロックフラグ L を 1 にする（ロックする）。

【 0 0 3 9 】

以上のような命令によれば、キャッシュブロックへのデータのロードと該キャッシュブロックのロックとが一命令の実行により実現されるため、動作の効率を高めることができる。ここでさらに上記命令においては、ロック指定が可能なものとすることもできる。すなわち、図 5 に示されるように、命令形式の面においてはロック指定を行うか否かを記すロック指定フィールド LOCK をさらに設け、プリロードの対象とするデータがキャッシュメモリ 1 0 内のいずれかのキャッシュブロックに格納されている場合には、ロック指定がある場合に限って該キャッシュブロックのロックフラグ L を 1 にする（ロックする）。一方、プリロードの対象とするデータがキャッシュメモリ 1 0 内に格納されていない場合には、ロック指定がある場合において該データをいずれかのキャッシュブロックに格納し、該キャッシュブロックの有効フラグ V を 1 にして、かつロックフラグ L を 1 にする（ロックする）。また、プリロードの対象とするデータがキャッシュメモリ 1 0 内に格納されておらず、ロック指定がない場合においては、該データをいずれかのキャッシュブロックに格納し、該キャッシュブロックの有効フラグ V を 1 にす

る。

(ポストアストア命令について)

ポストアストア命令が実行部 1 3 で実行された場合には、キャッシュ制御部 3 0 に含まれるポストアストア制御部 3 4 へポストアストア対象とする先頭アドレスと、ポストアストア対象とするアドレス領域のサイズが供給される。そして、この先頭アドレスはアドレスレジスタ 4 5 を介して比較器 1 2 に供給されるが、先頭アドレスは加算部 4 3 においてキャッシュブロックサイズ規定部 4 1 が規定する 1 キャッシュブロック分のアドレスへ順次加算される。従って比較器 1 2 は、ポストアストア対象とするアドレスを 1 キャッシュブロック毎にスキャンし、順次タグ TAG に格納されたアドレスと比較する。

【0 0 4 0】

一方、ポストアストア対象とするアドレス領域のサイズは、サイズレジスタ 4 7 及び比較器 4 2 を介してポストアストア制御部 3 4 へ供給され、所定のアドレス領域をスキャンするときにおいてのみ、ストア制御部 3 4 が活性化される。なお、サイズレジスタ 4 7 から出力されたアドレス領域のサイズは、上記 1 キャッシュブロックのスキャン毎に、1 キャッシュブロック分のサイズに応じて順次減算部 4 4 で減算される。そして、ポストアストアするアドレス領域がまだ残っていると比較器 4 2 で判断される場合に、ポストアストア制御部 3 4 が活性化される。なお、ポストアストアするアドレス領域の上記スキャンが全て終了したと比較器 4 2 で判断された場合には、比較器 4 2 は完了信号を実行部 1 3 に供給する。

【0 0 4 1】

このような比較器 1 2 における比較の結果、ポストアストア対象とするアドレスとタグ TAG に格納されたアドレスとが一致（キャッシュヒット）した場合には、キャッシュヒットしたことを通知する信号がポストアストア制御部 3 4 へ供給される。これによりポストアストア制御部 3 4 は、キャッシュヒットしたキャッシュブロックのロックフラグ L の値が 0 であつ変更フラグ M の値が 1 であるときにだけ、該キャッシュブロックのキャッシュブロックデータ DATA をメインメモリ 7 に書き戻し、有効フラグ V を 0 にする。なお、いずれのキャッシュブロック B 1 ～ B 8 からキャッシュミスを通知する信号が供給された場合には、ポストア

トア制御部 3 4 は動作しない。

【 0 0 4 2 】

従って、このようなポストストア命令を実行することにより、指定したアドレス領域に含まれるアドレスに対応したキャッシュブロックデータ DATA をメインメモリ 7 へ一括して書き戻すことができるため、実行すべき命令の数を減少させ動作の効率を高めることができる。

なお、上記ポストストア命令は、上記アンロック命令の動作を伴ってもよい。そしてこのとき、ポストストアの対象とするデータがキャッシュメモリ 1 0 内のいずれかのキャッシュブロックに格納されている場合には、該データをメインメモリ 7 に書き戻した上で、該有効フラグ V を 0 にすると共にロックフラグ L を 0 に（アンロック）する。一方、ポストストアの対象とするデータがキャッシュメモリ 1 0 内に格納されていない場合には、対応する動作は何も行わない。

【 0 0 4 3 】

以上のような命令によれば、メインメモリ 7 へのデータのポストストアと該キャッシュブロックのアンロックとが一命令の実行により実現されるため、動作の効率を高めることができる。ここでさらに上記命令においては、アンロック指定が可能なものとすることもできる。すなわち、命令形式の面においては図 5 に示された命令形式と同様に、アンロックを行うか否かを指定するアンロック指定フィールドを設ける。そして、ポストストアの対象とするデータがキャッシュメモリ 1 0 内のいずれかのキャッシュブロックに格納されている場合には、アンロック指定があるときに該データをメインメモリ 7 に書き戻して有効フラグ V を 0 にすると共に、ロックフラグ L を 0 にする（アンロックする）。また、このときアンロック指定がない場合には該データをメインメモリ 7 に書き戻し、有効フラグ V を 0 にする。一方、ポストストアの対象とするデータがキャッシュメモリ 1 0 内に格納されていない場合には、対応する動作は何もしない。

（フラッシュ命令について）

フラッシュ命令が実行部 1 3 で実行された場合には、キャッシュ制御部 3 0 に含まれるフラッシュ制御部 3 5 へフラッシュの対象とする先頭アドレスと、フラッシュの対象とするアドレス領域のサイズが供給される。そして、この先頭アド

レスはアドレスレジスタ 4 5 を介して比較器 1 2 に供給されるが、先頭アドレスは加算部 4 3 においてキャッシュブロックサイズ規定部 4 1 が規定する 1 キャッシュブロック分のアドレスへ順次加算される。従って比較器 1 2 は、フラッシュの対象とするアドレスを 1 キャッシュブロック毎にスキャンし、順次タグ TAG に格納されたアドレスと比較する。

#### 【 0 0 4 4 】

一方、フラッシュの対象とするアドレス領域のサイズは、サイズレジスタ 4 7 及び比較器 4 2 を介してフラッシュ制御部 3 5 へ供給され、所定のアドレス領域をスキャンするときにおいてのみ、フラッシュ制御部 3 5 が活性化される。なお、サイズレジスタ 4 7 から出力されたアドレス領域のサイズは、上記 1 キャッシュブロックのスキャン毎に、1 キャッシュブロック分のサイズに応じて順次減算部 4 4 で減算される。

#### 【 0 0 4 5 】

そして、フラッシュするアドレス領域がまだ残っていると比較器 4 2 で判断される場合に、フラッシュ制御部 3 5 が活性化される。なお、フラッシュするアドレス領域の上記スキャンが全て終了したと比較器 4 2 で判断された場合には、比較器 4 2 は完了信号を実行部 1 3 に供給する。

上記における比較器 1 2 での比較の結果、フラッシュ対象とするアドレスとタグ TAG に格納されたアドレスとが一致（キャッシュヒット）した場合には、キャッシュヒットしたことを通知する信号がフラッシュ制御部 3 5 へ供給される。これによりフラッシュ制御部 3 5 は、キャッシュヒットしたキャッシュブロックのロックフラグ L の値が 0 であつ変更フラグ M の値が 1 であるときにだけ、該キャッシュブロックのキャッシュブロックデータ DATA をメインメモリ 7 に書き戻し、有効フラグ V は 1 にしたままにする。なお、いずれのキャッシュブロック B 1 ~ B 8 からキャッシュミスを通知する信号が供給された場合には、フラッシュ制御部 3 5 は対応する動作を行わない。

#### 【 0 0 4 6 】

従って、このようなフラッシュ命令を実行することにより、指定したアドレス領域に含まれるアドレスに対応したキャッシュブロックデータ DATA をメイン

メモリ 7 へ一括して書き戻すことができるため、実行すべき命令の数を減少させ動作の効率を高めることができる。

なお、上記フラッシュ命令は、上記アンロック命令の動作を伴ってもよい。そしてこのとき、フラッシュの対象とするデータがキャッシュメモリ 1 0 内のいずれかのキャッシュブロックに格納されている場合には、該データをメインメモリ 7 に書き戻した上で、該有効フラグ V を 1 にしたままロックフラグ L を 0 に（アンロック）する。一方、ポストアスタの対象とするデータがキャッシュメモリ 1 0 内に格納されていない場合には、対応する動作は何も行わない。

【 0 0 4 7 】

以上のような命令によれば、該キャッシュブロックのアンロックとメインメモリ 7 へのデータのフラッシュとが一命令の実行及びアドレスの一走査により実現されるため、データ処理に要する時間を短縮し動作効率を高めることができる。

ここでさらに上記命令においては、アンロック指定が可能なものとすることもできる。すなわち、命令形式の面においては図 5 に示された命令形式と同様に、アンロックを行うか否かを指定するアンロック指定フィールドを設ける。そして、フラッシュの対象とするデータがキャッシュメモリ 1 0 内のいずれかのキャッシュブロックに格納されている場合には、アンロック指定があるときに該データをメインメモリ 7 に書き戻して有効フラグ V を 1 にしたままロックフラグ L を 0 にする（アンロックする）。また、このときアンロック指定がない場合には該データをメインメモリ 7 に書き戻す。一方、フラッシュの対象とするデータがキャッシュメモリ 1 0 内に格納されていない場合には、対応する動作は何もしない。

（無効化命令について）

無効化命令が実行部 1 3 で実行された場合には、キャッシュ制御部 3 0 に含まれる無効化制御部 3 6 へ無効化の対象とする先頭アドレスと、無効化の対象とするアドレス領域のサイズが供給される。そして、この先頭アドレスはアドレスレジスタ 4 5 を介して比較器 1 2 に供給されるが、先頭アドレスは加算部 4 3 においてキャッシュブロックサイズ規定部 4 1 が規定する 1 キャッシュブロック分のアドレスへ順次加算される。従って比較器 1 2 は、フラッシュの対象とするアドレスを 1 キャッシュブロック毎にスキャンし、順次タグ T A G に格納されたアド

レスと比較する。

【 0 0 4 8 】

一方、無効化の対象とするアドレス領域のサイズは、サイズレジスタ 4 7 及び比較器 4 2 を介して無効化制御部 3 6 へ供給され、所定のアドレス領域をスキャンするときにおいてのみ、無効化制御部 3 6 が活性化される。なお、サイズレジスタ 4 7 から出力されたアドレス領域のサイズは、上記 1 キャッシュブロックのスキャン毎に、1 キャッシュブロック分のサイズに応じて順次減算部 4 4 で減算される。

【 0 0 4 9 】

そして、無効化するアドレス領域がまだ残っていると比較器 4 2 で判断される場合に、無効化制御部 3 6 が活性化される。なお、無効化するアドレス領域の上記スキャンが全て終了したと比較器 4 2 で判断された場合には、比較器 4 2 は完了信号を実行部 1 3 に供給する。

上記における比較器 1 2 での比較の結果、無効化の対象とするアドレスとタグ TAG に格納されたアドレスとが一致（キャッシュヒット）した場合には、キャッシュヒットしたことを通知する信号が無効化制御部 3 6 へ供給される。これにより無効化制御部 3 6 は、キャッシュヒットしたキャッシュブロックのロックフラグ L の値が 0 であるときにだけ、該キャッシュブロックのキャッシュブロックデータ DATA をメインメモリ 7 に書き戻すことなく、有効フラグ V を 0 にする。なお、いずれのキャッシュブロック B 1 ～ B 8 からキャッシュミスを通知する信号が供給された場合には、無効化制御部 3 6 は動作しない。

【 0 0 5 0 】

従って、このような無効化命令を実行することにより、指定したアドレス領域に含まれるアドレスに対応したキャッシュブロックデータ DATA を無効化することができるため、実行すべき命令の数を減少させ動作の効率を高めることができる。

なお、上記無効化命令は、上記アンロック命令の動作を伴ってもよい。そしてこのとき、無効化の対象とするデータがキャッシュメモリ 1 0 内のいずれかのキャッシュブロックに格納されている場合には、ロックフラグ L の状態に依らず該

キャッシュブロックをアンロックして該データを無効化する。このような命令によれば、キャッシュブロックのアンロックとデータの無効化が、一命令の実行およびアドレスの一走査により実現されるため、データ処理に要する時間が短縮され動作効率を高めることができる。

## 【 0 0 5 1 】

ここでさらに上記命令においては、ロックフラグ L を無視して無効化する強制指定が可能な命令とすることもできる。すなわち、図 6 に示されるように、命令形式の面においては強制指定するか否かを記す強制指定フィールド FORCE をさらに設け、無効化の対象とするデータがキャッシュメモリ 1 0 内のいずれかのキャッシュブロックに格納されている場合には、強制指定されているとき該データをメインメモリ 7 に書き戻さずに、有効フラグ V を 0 にし、ロックフラグ L を 0 にする（アンロックする）。なお、この場合に強制指定されていないときはロック状態において、無効化を実行しない。一方、無効化の対象とするデータがキャッシュメモリ 1 0 内に格納されていない場合には、対応する動作は何もしない。

## 【 0 0 5 2 】

ここで、以上の命令の作用をまとめると、以下の表 1 のようになる。

## 【 0 0 5 3 】

【表 1】

命令		格納対象キャッシュの状態による動作		動作時のキャッシュメモリのフラグ変化	
命令種類	指定	アンロック状態での動作	ロック状態での動作	ロックフラグ	有効フラグ アンロック/ロック
ロード		○	○	変更なし	セット/変更なし
ストア		○	○	変更なし	セット/変更なし
ロック		○	×	セット	変更なし
アンロック		×	○	リセット	変更なし
プリロード		○	A 1	変更なし	セット
ロック付きプリロード		○	A 2	セット	セット
ロック指定付きプリロード	なし	○	A 1	変更なし	セット
	あり	○	A 2	セット	セット
ポストストア		○	×	変更なし	リセット
アンロック付きポストストア		○	○	リセット	リセット
アンロック指定付きポストストア	なし	○	×	変更なし	リセット
	あり	○	○	リセット	リセット
フラッシュ		○	×	変更なし	変更なし
アンロック付きフラッシュ		○	○	リセット	変更なし
アンロック指定付きフラッシュ	なし	○	×	変更なし	変更なし
	あり	○	○	リセット	変更なし
無効化		○	×	リセット	リセット
強制無効化		○	○	リセット	リセット
強制指定付き無効化	なし	○	×	リセット	リセット
	あり	○	○	リセット	リセット

【0 0 5 4】

上記表 1 において、○は動作することを示し、×は動作しないことを示す。

なお、上記表 1 において「A 1」は、キャッシュブロックをロックしない場合の動作であって、無効操作（NOP）命令を実行するか別のキャッシュブロックにロードするかのいずれの動作でも良いことを示す。また「A 2」は、キャッシュ



ユブロックのロックフラグLを1にする（ロックする）場合の動作であって、無効操作（NOP）命令を実行するか別のキャッシュブロックにロードするかのいずれの動作でも良いことを示す。

【0055】

最後に、本発明の課題を解決するための手段について付記する。

（1）メインメモリに接続され、キャッシュブロックから構成されるキャッシュメモリの制御方法であって、指定されたアドレス領域に含まれるアドレスを持つと共にメインメモリに記憶されたデータを、供給される命令に応じてキャッシュブロックにロードすることを特徴とするキャッシュメモリの制御方法。このような手段によれば、指定されたアドレス領域に含まれるアドレスを持つデータを一括してロードすることができる。

（2）上記命令に応じて、ロード後にキャッシュブロックを別アドレスデータへの置換禁止状態とすることを特徴とする（1）に記載のキャッシュメモリの制御方法。このような手段によれば、動作速度を向上させることができる。

（3）メインメモリに接続され、キャッシュブロックから構成されるキャッシュメモリの制御方法であって、指定されたアドレス領域に含まれるアドレスを持つと共にキャッシュブロックに記憶されたデータを、供給される命令に応じてメインメモリにストアすることを特徴とするキャッシュメモリの制御方法。

（4）上記命令に応じて、ストア後にキャッシュブロックの別アドレスデータへの置換禁止状態を解除することを特徴とする（3）に記載のキャッシュメモリの制御方法。

（5）メインメモリに接続され、キャッシュブロックから構成されるキャッシュメモリの制御方法であって、指定されたアドレス領域に含まれるアドレスを持つと共に、キャッシュブロックに記憶されているデータを、供給される命令に応じてメインメモリに複写することを特徴とするキャッシュメモリの制御方法。このような手段によれば、必要なデータだけをメインメモリに複写して動作効率を高めることができる。

（6）上記命令に応じて、複写後にデータが記憶されているキャッシュブロックの別アドレスデータへの置換禁止状態を解除することを特徴とする（5）に記載

のキャッシュメモリの制御方法。このような手段によれば、動作速度を向上させることができる。

(7) キャッシュブロックから構成されるキャッシュメモリの制御方法であって、指定されたアドレス領域に含まれるアドレスを持つデータを記憶しているキャッシュブロックを、供給される命令に応じて一律に無効化することを特徴とするキャッシュメモリの制御方法。このような手段により、無駄なライトバック動作を回避して動作効率を高めることができる。

(8) キャッシュブロックから構成されたキャッシュメモリを含む計算機であって、指定されたアドレス領域に含まれるアドレスを持つデータを記憶しているキャッシュブロックを、供給される命令に応じて別アドレスデータへの置換禁止状態とし、または禁止状態を解除する制御部を備えたことを特徴とする計算機。

(9) 上記キャッシュブロックの各々に対応して設けられたロックフラグをさらに備え、制御部は、指定されたアドレス領域に含まれるアドレスを持つデータを記憶しているキャッシュブロックに対応するロックフラグを、供給される命令に応じてセットまたはリセットすることを特徴とする(8)に記載の計算機。このような手段によれば、ロックフラグをセットすることにより所望のキャッシュブロックだけを一括して別アドレスデータへの置換禁止状態とすることができるため、キャッシュメモリをより効率的に使用すると共に動作速度を向上させることができる。

(10) メインメモリに接続されると共にキャッシュブロックから構成されたキャッシュメモリを含む計算機であって、指定されたアドレス領域に含まれるアドレスを持つと共にメインメモリに記憶されたデータを、供給される命令に応じてキャッシュブロックにロードする制御部を備えたことを特徴とする計算機。

(11) 上記キャッシュブロックの各々に対応して設けられたロックフラグをさらに備え、制御部は、供給される命令に応じて、ロード後にロードされたキャッシュブロックに対応するロックフラグをセットすることを特徴とする(10)に記載の計算機。

(12) メインメモリに接続されると共にキャッシュブロックから構成されたキャッシュメモリを含む計算機であって、指定されたアドレス領域に含まれるアド

レスを持つと共にキャッシュブロックに記憶されたデータを、供給される命令に応じてメインメモリにストアする制御部を備えたことを特徴とする計算機。

(13) 上記キャッシュブロックの各々に対応して設けられたロックフラグをさらに備え、制御部は、供給される命令に応じて、ストア後にキャッシュブロックに対応するロックフラグをリセットすることを特徴とする(12)に記載の計算機。

(14) メインメモリに接続されると共にキャッシュブロックから構成されるキャッシュメモリを含む計算機であって、指定されたアドレス領域に含まれるアドレスを持つと共に、キャッシュブロックに記憶されているデータを、供給される命令に応じてメインメモリに複写する制御部を備えたことを特徴とする計算機。

(15) 上記キャッシュブロック毎に対応するロックフラグをさらに備え、制御部は、供給される命令に応じて、複写後にデータが記憶されているキャッシュブロックに対応するロックフラグをリセットすることを特徴とする(14)に記載の計算機。

【0056】

【発明の効果】

上述の如く、本発明によれば、指定されたアドレス領域に含まれるアドレスを持つデータを記憶しているキャッシュブロックを、供給される命令に応じて別アドレスデータへの置換禁止状態とし、または禁止状態を解除するため、上記指定されたアドレス領域に含まれるアドレスを持つデータへのキャッシュミスを実際に回避してキャッシュヒットを保証することにより、全体としてアクセス速度の向上を図ることができる。

【0057】

また、指定されたアドレス領域に含まれるアドレスを持つデータを記憶しているキャッシュブロックを、供給される命令に応じて別アドレスデータへの置換禁止状態とし、または該禁止状態を解除する制御部を備えることにより、上記指定されたアドレス領域に含まれるアドレスを持つデータへのキャッシュミスを実際に回避して、キャッシュヒットを保証し、全体としてアクセス速度を向上させることができる。

【0058】

また、指定されたアドレス領域に含まれるアドレスを持つと共に前記メインメモリに記憶されたデータを、供給される命令に応じて前記キャッシュブロックにロードする制御部を備えることにより、指定されたアドレス領域に含まれるアドレスを持つデータを一括してロードすることができデータ処理の高速化と効率化を図ることができる。

【0059】

また、指定されたアドレス領域に含まれるアドレスを持つと共に前記キャッシュブロックに記憶されたデータを、供給される命令に応じて前記メインメモリにストアする制御部を備えることにより、指定されたアドレス領域に含まれるアドレスを持つデータを一括してストアすることができデータ処理の高速化と効率化を図ることができる。

【0060】

また、指定されたアドレス領域に含まれるアドレスを持つと共にキャッシュブロックに記憶されているデータを、供給される命令に応じてメインメモリに複写する制御部を備えることにより、動作の効率を向上させることができる。

また、指定されたアドレス領域に含まれるアドレスを持つデータを記憶しているキャッシュブロックを、供給される命令に応じて一律に無効化する制御部を備えることにより、動作の効率を高めることができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態に係る計算機の全体構成を示す図である。

【図2】

図1に示されたキャッシュ制御部の構成を示す図である。

【図3】

従来のキャッシュ制御部の構成を示す図である。

【図4】

本発明の実施の形態に係るロック／アンロック命令等の命令形式を示す図である。

【図 5】

本発明の実施の形態に係るロック指定フィールドを有する命令形式を示す図である。

【図 6】

本発明の実施の形態に係る強制指定フィールドを有する命令形式を示す図である。

【図 7】

本発明の実施の形態に係る単一レジスタのロード／ストア命令等の命令形式を示す図である。

【符号の説明】

- 1 CPU
- 3 キャッシュ部
- 5 バス制御装置
- 7 メインメモリ
- 9 周辺システム
- 10 キャッシュメモリ
- 11 フェッチ部
- 12, 42 比較器
- 13 実行部
- 15, 17 キャッシュウェイ
- 19, 21, 45, 59 アドレスレジスタ
- 23, 25, 27, 29 データレジスタ
- 30, 50 キャッシュ制御部
- 31, 51 ロード制御部
- 32, 52 ストア制御部
- 33, 53 プリロード制御部
- 34 ポストストア制御部
- 35, 55 フラッシュ制御部
- 36, 56 無効化制御部

3 7, 5 7 ロック／アンロック制御部

3 8, 5 8 デコード部

4 0 アドレス領域制御部

4 1 キャッシュブロックサイズ規定部

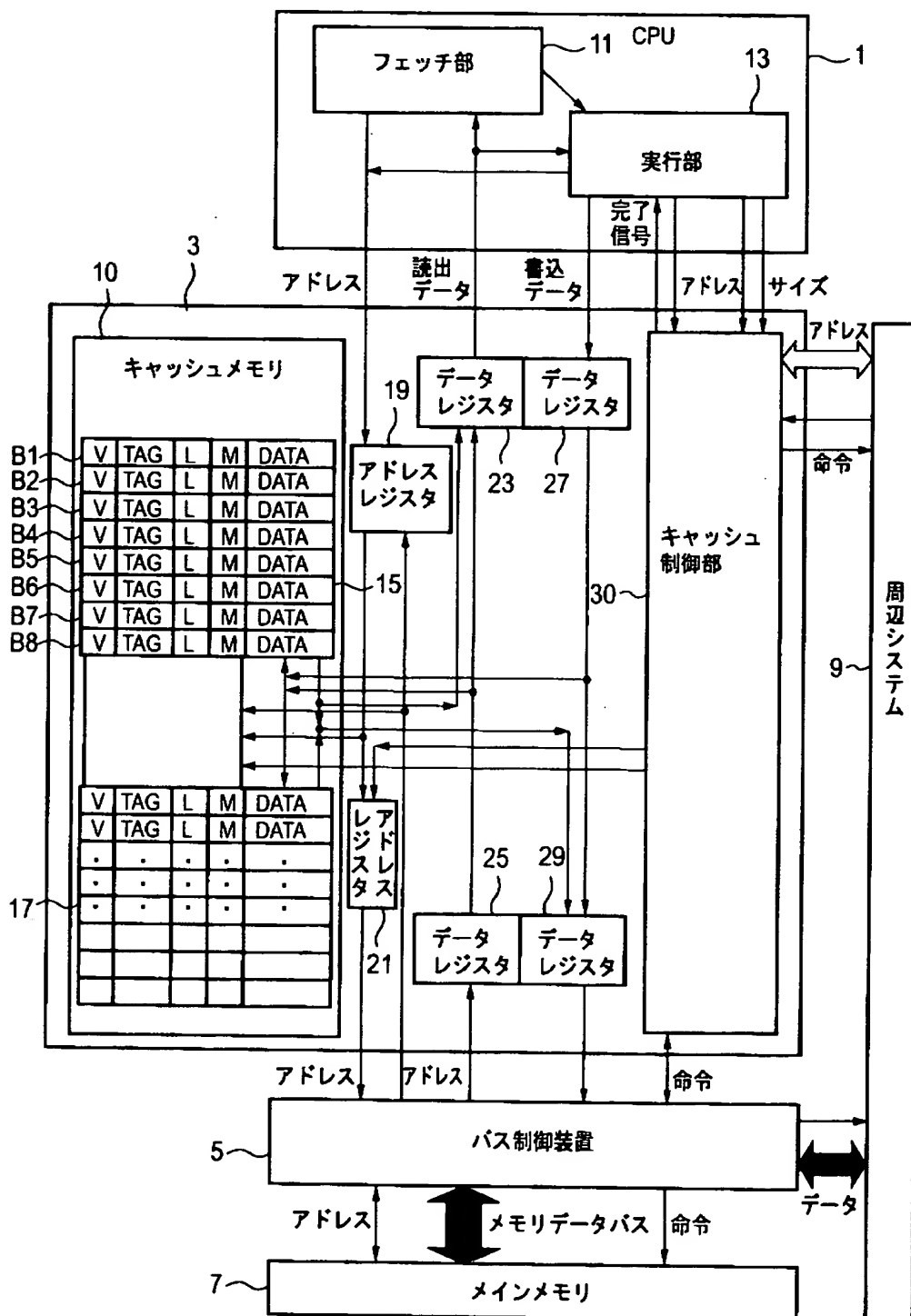
4 3 加算部

4 4 減算部

4 7 サイズレジスタ

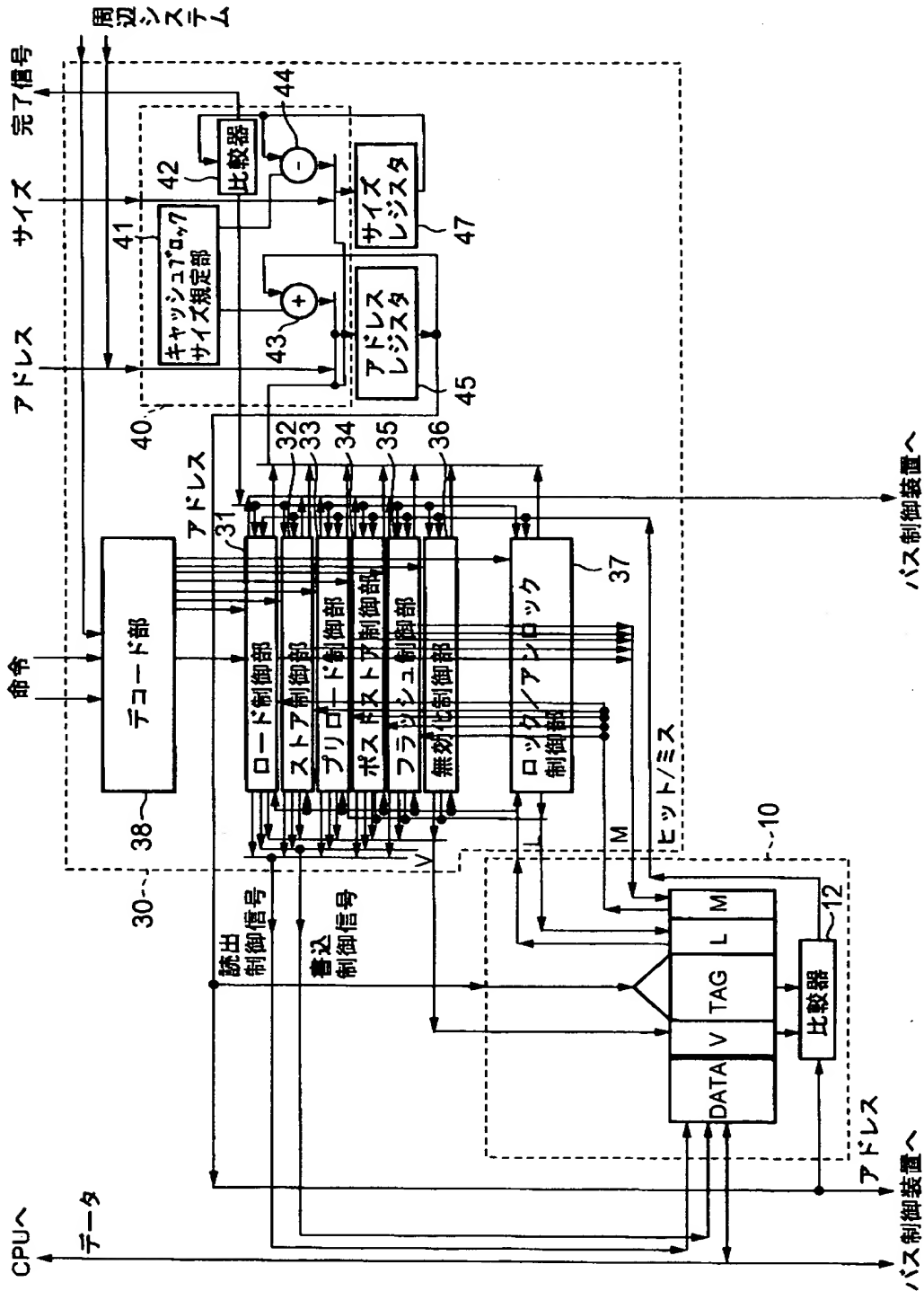
【图 1】

本発明の実施の形態に係る計算機の全体構成を示す図



【図 2】

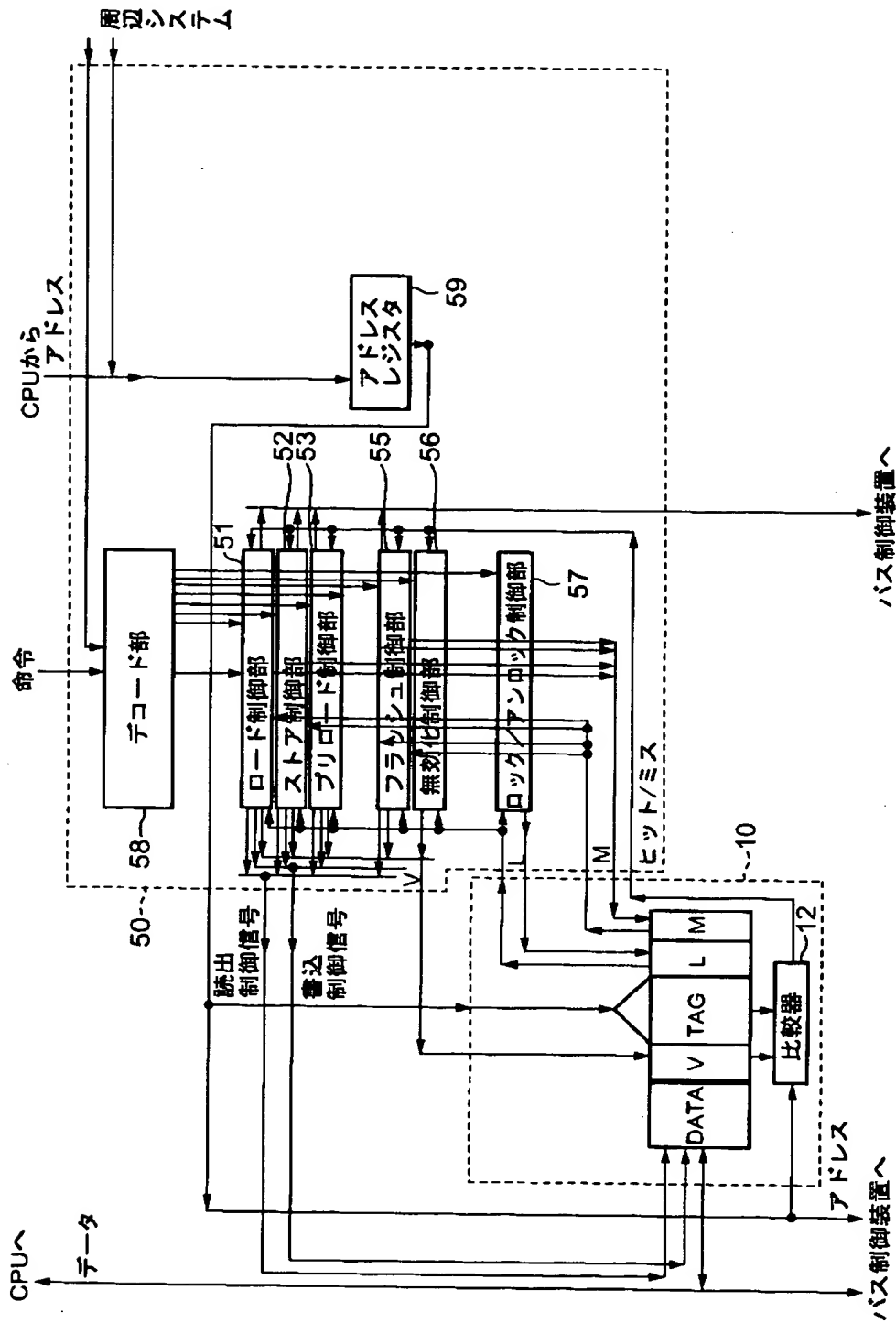
図 1 に示されたキャッシュ制御部の構成を示す図





【図 3】

従来のキャッシュ制御部の構成を示す図



【図 4】

本発明の実施の形態に係るロック／アンロック命令等の命令形式を示す図



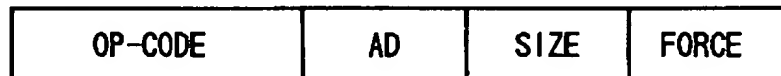
【図 5】

本発明の実施の形態に係るロック指定フィールドを有する命令形式を示す図



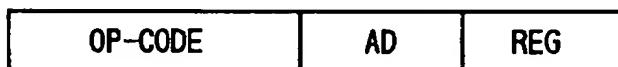
【図 6】

本発明の実施の形態に係る強制指定フィールドを有する命令形式を示す図



【図 7】

本発明の実施の形態に係る単一レジスタの  
ロード／ストア命令等の命令形式を示す図



【書類名】 要約書

【要約】

【課題】 指定されたアドレス領域に含まれるアドレスを持つデータを、ソフトウェアに含まれる命令によりまとめて処理するキャッシュメモリの制御方法と、該方法を実現することにより動作の効率化及び高速化を実現する計算機を提供する。

【解決手段】 キャッシュブロック B 1 ～ B 8 からなるキャッシュウェイ 1 5, 1 7 を含むキャッシュメモリ 1 0 と、指定されたアドレス領域に含まれるアドレスを持つデータを記憶しているキャッシュブロック B 1 ～ B 8 を、供給される命令に応じて別アドレスデータへの置換禁止状態とし又は該禁止状態を解除等するキャッシュ制御部 3 0 とを備えた計算機を提供する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社